

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-208530

(43)Date of publication of application : 28.07.2000

(51)Int.Cl.

H01L 21/331

H01L 29/73

H01L 29/205

(21)Application number : 11-006074

(71)Applicant : NEC CORP

(22)Date of filing : 13.01.1999

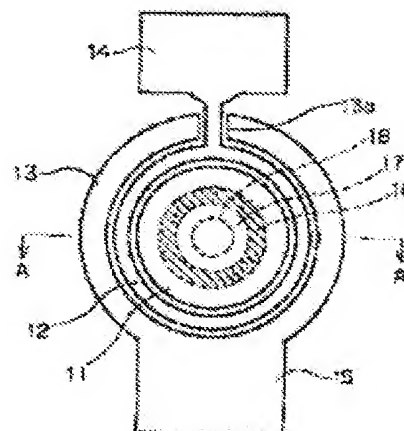
(72)Inventor : AZUMA KOJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance heat radiation and uniformize grounding inductance and emitter wiring resistance in a bipolar transistor.

SOLUTION: This bipolar transistor comprises a circular emitter electrode 11, an annular base electrode 12 formed in a layer lower than the emitter electrode 11 surrounding the emitter electrode 11, and a collector electrode 13 formed in a lower layer than the base electrode 12 surrounding the base electrode 12. The emitter electrode 11 is constituted circular form, and the base electrode 12 and collector electrode 13 are disposed surrounding it. Therefore, a heat focus on the emitter electrode 11 can be restricted, and in its turn, heat radiation of a transistor can be enhanced.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-208530

(P2000-208530A)

(43) 公開日 平成12年7月28日 (2000.7.28)

(51) Int.Cl.

識別記号

F I

テーマコード(参考)

H 0 1 L 21/331
29/73
29/205

H 0 1 L 29/72
29/205

5 F 0 0 3

審査請求 有 請求項の数 9 O L (全 8 頁)

(21) 出願番号 特願平11-6074

(22) 出願日 平成11年1月13日 (1999.1.13)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 東 晃司

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100096105

弁理士 天野 広

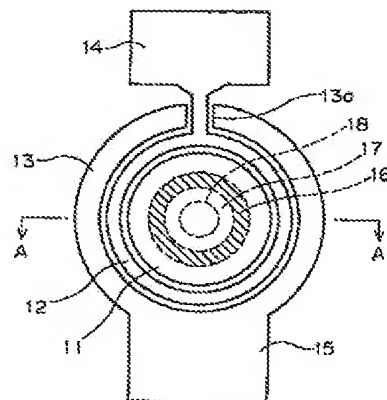
Fターム(参考) 5F003 AP08 BE02 BF06 BH01 BH16
BH18 BJ18 BJ99 BM02

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 バイポーラトランジスタにおいて、放熱性を向上させるとともに、接地インダクタンス及びエミッタ配線抵抗を均一化させる。

【解決手段】 バイポーラトランジスタを、円形のエミッタ電極11と、エミッタ電極11の周囲において、エミッタ電極11よりも下層に形成された環状のベース電極12と、ベース電極12の周囲において、ベース電極12よりも下層に形成されたコレクタ電極13と、から構成する。エミッタ電極11が円形に構成され、ベース電極12及びコレクタ電極13はその周囲に配置されているので、エミッタ電極11への熱集中を抑制することができ、ひいては、トランジスタの放熱性を向上させることができる。



- | | |
|---------------|----------------|
| 11 : エミッタ電極 | 15 : コレクタ電極パッド |
| 12 : ベース電極 | 16 : 熱伝導領域 |
| 13 : コレクタ電極 | 17 : 金膜層 |
| 13a : 切り欠き | 18 : パッシブ層 |
| 14 : ベース電極パッド | |

【特許請求の範囲】

【請求項 1】 化合物半導体のヘテロ接合を用いたバイポーラトランジスタであって、円形のエミッタ電極と、前記エミッタ電極の周囲において、前記エミッタ電極よりも下層に形成された環状のベース電極と、前記ベース電極の周囲において、前記ベース電極よりも下層に形成されたコレクタ電極と、からなるバイポーラトランジスタ。

【請求項 2】 前記エミッタ電極の下方にはバイアホールが形成されており、前記エミッタ電極は前記バイアホールを介して接地されるものであることを特徴とする請求項 1 に記載のバイポーラトランジスタ。

【請求項 3】 前記エミッタ電極の下方において形成され、前記エミッタ電極の外径よりも小さい外径を有する円筒状の注入絶縁領域と、前記注入絶縁領域の内部に設けられた伝熱性領域と、を備え、前記バイアホールは前記伝熱性領域に設けられていることを特徴とする請求項 2 に記載のバイポーラトランジスタ。

【請求項 4】 前記化合物半導体は GaAs 半導体であることを特徴とする請求項 1 乃至 3 の何れか一項に記載のバイポーラトランジスタ。

【請求項 5】 単一の半導体基板上に形成され、化合物半導体のヘテロ接合を用いた N (N は 2 以上の正の整数) 個のバイポーラトランジスタと、前記バイポーラトランジスタのうち、第一段目のバイポーラトランジスタに接続されている入力整合バイアス回路と、各バイポーラトランジスタの間に接続された段間整合バイアス回路と、前記バイポーラトランジスタのうち、最終段のバイポーラトランジスタに接続されている出力整合バイアス回路と、を備え、前記バイポーラトランジスタの各々は、円形のエミッタ電極と、前記エミッタ電極の周囲において、前記エミッタ電極よりも下層に形成された環状のベース電極と、前記ベース電極の周囲において、前記ベース電極よりも下層に形成されたコレクタ電極と、からなるものである半導体装置。

【請求項 6】 前記エミッタ電極の面積がそれぞれ異なるものであることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記エミッタ電極の下方にはバイアホールが形成されており、前記エミッタ電極は前記バイアホールを介して接地されるものであることを特徴とする請求項 5 又は 6 に記載の半導体装置。

【請求項 8】 前記バイポーラトランジスタの各々は、

前記エミッタ電極の下方において形成され、前記エミッタ電極の外径よりも小さい外径を有する円筒状の注入絶縁領域と、前記注入絶縁領域の内部に設けられた伝熱性領域と、を備え、前記バイアホールは前記伝熱性領域に設けられていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 前記化合物半導体は GaAs 半導体であることを特徴とする請求項 5 乃至 8 の何れか一項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はバイポーラトランジスタに関する。

【0002】

【従来の技術】 通信機器の発達とともに高周波高出力用半導体装置の需要が増加している。特に、自動車電話や携帯電話などの情報端末携帯機器においては、電池を用いて、高出力を要する動作や長時間通話を行う必要があるため、効率的に動作し得る半導体装置が望まれている。すなわち、内部の電力損失を低減し、印加される直流電力を効率的に高周波電力に変換することができる半導体装置が望まれている。

【0003】 このような要求を満たす半導体装置として、その優れた高周波特性と高電流駆動能力とから、化合物半導体のヘテロ接合を利用したバイポーラトランジスタ (以下、「HBT」と呼ぶ) が、近年、注目を集めている。

【0004】 HBT を用いた半導体装置の一例を図 5 に示す。

【0005】 この半導体装置においては、GaAs 基板上に、ベース電極 50 が二列にわたってそれぞれ並列に配置されており、各ベース電極 50 の一端はベース電極パッド 51 に接続されている。すなわち、各ベース電極 50 は、ベース電極パッド 51 の両側において櫛歯状に形成されている。図 5 に示した半導体装置は各列において 15 本ずつのベース電極 50 が配置されている。

【0006】 ベース電極の外側には複数のコレクタ電極 52 が配置されている。各コレクタ電極 52 は櫛歯状にコレクタ電極パッド 53 に取り付けられており、ベース電極 50 とコレクタ電極 52 とは相互に対向するように配置されている。すなわち、ベース電極 50 とコレクタ電極 52 とは二つの櫛歯の歯を噛み合わせるようにして配置されている。

【0007】 各ベース電極 50 及び各コレクタ電極の上方にはストリップ状のエミッタ電極 54 が延びており、エミッタ電極 54 はその両端においてエミッタ電極パッド 55 に接続されている。エミッタ電極パッド 55 にはバイアホール 56 が形成されており、エミッタ電極パッド 55 についてはエミッタ電極 54 はバイアホール 56

を介して接地されている。

【0008】このように、エミッタ電極パッド55は接地用端子として用いられ、さらに、ベース電極パッド51は入力用端子、コレクタ電極パッド53は出力用端子として用いられる。

【0009】ベース電極50の各々、コレクタ電極52の各々及びエミッタ電極54が一つのHBTを構成している。すなわち、図5に示した半導体装置においては、半導体基板上に複数のHBTが並列に配置され、高出力化が図られている。

【0010】なお、HBT上には保護膜（図示せず）が形成されており、この保護膜上にエミッタ配線（図示せず）が配置されている。エミッタ配線は各HBTのエミッタ電極54にスルーホールを介して接続されている。

【0011】

【発明が解決しようとする課題】しかしながら、図5に示した半導体装置は以下のような問題点を有していた。

【0012】第一の問題点は放熱性が悪いという点である。

【0013】図5に示した半導体装置においては、ベース電極パッド51及びコレクタ電極パッド53を介して電源から供給された直流電流の一部、あるいは、信号としての高周波電力の一部が電力損失として熱に変換される。このとき、相互に隣接する各HBTの熱的干渉により、HBTの各列において中央に位置するHBTの温度上昇がその周辺のHBTよりも大きくなる。

【0014】また、各列の中央のHBTの温度上昇に伴って、それらのHBTにはコレクタ電流が集中するようになり、各列の中央のHBTの温度上昇が一層促進される。

【0015】このように、各HBTにおいて発生した熱は各HBTの下方のGaAs基板を介して放熱されるが、GaAsは熱伝導率が低いため、一旦発生した熱の大部分は各HBTにおいて保持されたままの状態になっている。この場合、上述のように、特に、各列の中央に位置しているHBTの温度はその周辺のHBTよりも高くなっている。

【0016】この結果、各HBTは均一な動作を行うことができなくなり、結果的に、利得の低下や電力効率の低下を招いている。

【0017】第二の問題点は、接地インダクタンスが不均等であるという点である。

【0018】図5から明らかであるように、各HBTからエミッタ電極パッド55までの距離は異なっている。すなわち、各列の中央に位置しているHBTからエミッタ電極パッド55までの距離が最も長く、各列の端部に位置しているHBTからエミッタ電極パッド55までの距離が最も短い。

【0019】このため、各HBTについての接地インダクタンスは全てのHBTにおいて均一ではなく、各列の

中央に近く位置しているHBTほど接地インダクタンスは大きい。

【0020】このように、接地インダクタンスが不均一であると、各HBTの動作性能に差を生じ、各HBTに均一な動作を行わせることができなくなる。

【0021】第三の問題点は、エミッタ配線抵抗が不均一であるという点である。

【0022】この第三の問題点の理由は、上述の第二の問題点に対する理由と同様である。

10 【0023】本発明、以上のような従来の半導体装置における問題点に鑑みてなされたものであり、放熱性を向上させるとともに、接地インダクタンス及びエミッタ配線抵抗を均一化することができる半導体装置を提供することを目的とする。

【0024】

【課題を解決するための手段】この目的を達成するため、請求項1は、化合物半導体のヘテロ接合を用いたバイポーラトランジスタであって、円形のエミッタ電極と、エミッタ電極の周囲において、エミッタ電極よりも下層に形成された環状のベース電極と、ベース電極の周囲において、ベース電極よりも下層に形成されたコレクタ電極と、からなるバイポーラトランジスタを提供する。

【0025】本請求項に係るバイポーラトランジスタにおいては、エミッタ電極は円形に形成されている。このため、エミッタ電極において発生した熱はエミッタ電極に集中することなく、周囲に均等に拡散される。このため、エミッタ電極における放熱性が向上する。

20 【0026】さらに、ベース電極及びコレクタ電極はエミッタ電極と同心に環状に形成されているため、エミッタ電極の任意の直径上において、エミッタ電極とベース電極との間の距離は一定であり、同様に、エミッタ電極とコレクタ電極との間の距離も一定である。このため、エミッタ電極において発生した熱に対する伝熱抵抗は何れの方向においても一定であるので、エミッタ電極において発生した熱は容易に周囲に拡散する。すなわち、放熱性が向上する。また、同様の理由により、各HBTの接地インダクタンスの均一化及びエミッタ配線抵抗の均一化を図ることができる。

30 【0027】請求項2に記載されているように、エミッタ電極の下方にはバイアホールが形成されており、エミッタ電極はバイアホールを介して接地されるように構成することもできる。これにより、エミッタ電極の接地インダクタンスを低減させることができる。

【0028】これにより、本バイポーラトランジスタにおいては、実装されると同時に、エミッタ電極がバイアホールを介して接地される。

【0029】請求項3は、エミッタ電極の下方において形成され、エミッタ電極の外径よりも小さい外径を有する円筒状の注入絶縁領域と、注入絶縁領域の内部に設け

られた伝熱性領域と、をさらに備え、バイアホールは伝熱性領域に設けられていることを特徴とするバイポーラトランジスタを提供する。

【0030】本バイポーラトランジスタが動作すると、ベース電極とコレクタ電極との界面付近において熱が発生する。この熱は、絶縁領域と伝熱性領域とを介して放散される。このため、本バイポーラトランジスタの放熱性を向上させることができる。

【0031】なお、伝熱性領域は、例えば、金などの熱伝導率が高い金属を用いて形成される（GaAsの熱伝導率が $47\text{ W/m}\cdot\text{K}$ であるのに対して、金の熱伝導率は $319\text{ W/m}\cdot\text{K}$ である）。

【0032】請求項4に記載されているように、化合物半導体として、例えば、GaAs半導体を選択することができる。

【0033】請求項5は、単一の半導体基板上に形成され、化合物半導体のヘテロ接合を用いたN（Nは2以上の正の整数）個のバイポーラトランジスタと、バイポーラトランジスタのうち、第一段目のバイポーラトランジスタに接続されている入力整合バイアス回路と、各バイポーラトランジスタの間に接続された段間整合バイアス回路と、バイポーラトランジスタのうち、最終段のバイポーラトランジスタに接続されている出力整合バイアス回路と、を備え、バイポーラトランジスタの各々は、円形のエミッタ電極と、エミッタ電極の周囲において、エミッタ電極よりも下層に形成された環状のベース電極と、ベース電極の周囲において、ベース電極よりも下層に形成されたコレクタ電極と、からなるものである半導体装置を提供する。本請求項に係る半導体装置は上述のバイポーラトランジスタを同一半導体基板上に形成し、例えば、多段増幅器を提供するものである。本半導体装置を構成する各バイポーラトランジスタは請求項1に係るバイポーラトランジスタと同一の構造を有しているため、本請求項に係る半導体装置も請求項1と同様の効果を有する。

【0034】請求項6に記載されているように、各エミッタ電極のエミッタ領域の面積がそれぞれ異なるものとすることが好ましい。

【0035】これにより、例えば、図5に示した従来の半導体装置に即して言えば、HBTの個数を増減させるのと同じ効果を奏する。

【0036】請求項7に記載されているように、本半導体装置においては、エミッタ電極の下方にはバイアホールが形成されており、エミッタ電極はバイアホールを介して接地されるものとして行うことができる。

【0037】請求項8に記載されているように、本半導体装置は、バイポーラトランジスタの各々は、エミッタ電極の下方において形成され、エミッタ電極の外径よりも小さい外径を有する円筒状の注入絶縁領域と、注入絶縁領域の内部に設けられた伝熱性領域と、を備え、バイ

アホールは伝熱性領域に設けるようにすることもできる。

【0038】また、請求項9に記載されているように、本半導体装置においては、化合物半導体としてはGaAs半導体を用いることができる。

【0039】

【発明の実施の形態】図1は、本発明の一実施形態に係るバイポーラトランジスタの上面図であり、図2は、図1のA-A線における断面の斜視図である。

【0040】図1に示すように、本実施形態に係るバイポーラトランジスタは化合物半導体のヘテロ接合を用いたバイポーラトランジスタであって、GaAs基板10（図2参照）上に形成された円形のエミッタ電極11と、エミッタ電極11の周囲において、エミッタ電極11と同心に形成された環状のベース電極12と、ベース電極12の周囲において、エミッタ電極11と同心に形成された環状のコレクタ電極13と、からなっている。

【0041】コレクタ電極13の一部には切り欠き13aが形成されており、この切り欠き13aを介してベース電極12はベース電極パッド14と接続されている。また、ベース電極パッド14とは反対側の位置において、コレクタ電極13はコレクタ電極パッド15と接続されている。

【0042】さらに、図2に示すように、ベース電極12は、エミッタ電極11を形成している層よりも下方に位置する層として形成されている。すなわち、ベース電極12の上面はエミッタ電極11の底面と同一の高さにある。

【0043】同様に、コレクタ電極13は、ベース電極12を形成している層よりも下方に位置する層として形成されている。すなわち、コレクタ電極13の上面はベース電極12の底面と同一の高さにある。

【0044】従って、は、エミッタ電極11、ベース電極12及びコレクタ電極13を形成する領域において段差をなして形成されている。

【0045】さらに、図2に示すように、エミッタ電極11の下方において、GaAs基板10にはエミッタ電極11の外径よりも小さい外径を有する円筒状の絶縁領域16がエミッタ電極11と同心に形成されている。

【0046】また、絶縁領域16の内面及びGaAs基板10の底面に沿って伝熱性領域としての金属層17が形成されており、絶縁領域16の内部において金属層17にはエミッタ電極11と同心にバイアホール18が形成されている。本実施形態においては、金属層17は金からなる。

【0047】なお、一例として各部分の寸法を以下に示す。

【0048】

エミッタ電極11の厚さ： $3\text{ }\mu\text{m}$

ベース電極12の厚さ： $3\text{ }\mu\text{m}$

コレクタ電極 13 の厚さ: $3 \mu\text{m}$
 エミッタ電極 11 の外径: $64 \mu\text{m}$
 絶縁領域 16 の深さ: $40 \mu\text{m}$
 絶縁領域 16 の内径: $40 \mu\text{m}$
 絶縁領域 16 の外径: $50 \mu\text{m}$
 絶縁領域 16 の厚さ: $5 \mu\text{m}$
 金属層 17 の厚さ: $15 \mu\text{m}$
 バイアホール 18 の内径: $20 \mu\text{m}$

本実施形態に係るバイポーラトランジスタにおいては、エミッタ電極 11 は円形に形成されているため、エミッタ電極 11 において発生した熱はエミッタ電極 11 に集中することなく、周囲の方向に均等に拡散される。このため、エミッタ電極 11 における放熱性が向上する。

【0049】さらに、ベース電極 12 及びコレクタ電極 13 はエミッタ電極 11 と同心に環状に形成されているため、エミッタ電極 11 の任意の直径上において、エミッタ電極 11 とベース電極 12 との間の距離は一定であり、同様に、エミッタ電極 11 とコレクタ電極 13 との間の距離も一定である。このため、エミッタ電極 11 において発生した熱に対する伝熱抵抗は何れの方向においても一定であるので、エミッタ電極 11 において発生した熱は容易に周囲に拡散する。従って、エミッタ電極 11 については本バイポーラトランジスタの放熱性を向上させることができる。

【0050】また、エミッタ電極 11 とベース電極 12 及びコレクタ電極 13 との間の距離が一定であることから、エミッタ電極 11 の接地インダクタンスの均一化及びエミッタ配線抵抗の均一化を図ることができる。

【0051】本実施形態に係るバイポーラトランジスタは、実装されると同時に、エミッタ電極がバイアホール 18 を介して接地されるようになっている。このため、エミッタ電極 11 の接地インダクタンスを低減させることができる。

【0052】また、本実施形態に係るバイポーラトランジスタが動作すると、ベース電極 1 とコレクタ電極 13 との界面付近において熱が発生する。この熱は、絶縁領域 16 と金属層 17 とを介して放散される。特に、本実施形態においては、金属層 17 は熱伝導率が高い金からなるものであるため、本バイポーラトランジスタの放熱性を向上させることができる。

【0053】以下、具体的な数字を挙げて、図 1 及び図 2 に示した本実施形態に係るバイポーラトランジスタと図 5 に示した従来のバイポーラトランジスタとを比較する。

【0054】図 2 に示すように、本実施形態に係るバイポーラトランジスタにおいて、絶縁領域 16 の外周面とエミッタ電極 11 の外周との間の水平距離を W とする。この W の値が実質的なエミッタ領域の幅に対応する。

【0055】図 5 に示した従来のバイポーラトランジスタにおいて、各ベース電極 50 の寸法は $2 \mu\text{m} \times 20 \mu\text{m}$

m であり、ベース電極 50 の個数は 30 である。ベース電極 50 と上下に重なり合っているエミッタ電極 54 の面積はベース電極 50 の総面積と等しいとすると、エミッタ電極 54 の総面積と本実施形態におけるエミッタ電極 11 とが等しい場合における W の値は $6.70 \mu\text{m}$ である。

【0056】すなわち、図 5 に示した従来のバイポーラトランジスタにおけるエミッタ電極 54 の幅は $20 \mu\text{m}$ であるのに対して、本実施形態においてはエミッタ電極 11 における実質的なエミッタ領域の幅 W は $6.70 \mu\text{m}$ である。

【0057】このように、本実施形態に係るバイポーラトランジスタはトランジスタの全体のサイズを小さくするという効果も併せ持っている。

【0058】なお、エミッタ幅 W を変えることによって、図 5 に示した従来のバイポーラトランジスタにおいて HBT 素子の個数を増減させることと同様の効果を得ることができる。

【0059】次いで、熱抵抗に関して、本実施形態に係るバイポーラトランジスタと図 5 に示した従来のバイポーラトランジスタとを比較する。

【0060】図 5 に示した従来のバイポーラトランジスタにおけるエミッタ電極 54 の総面積が本実施形態におけるバイポーラトランジスタのエミッタ電極 11 の総面積が等しいとすると、従来のバイポーラトランジスタにおける熱抵抗は $659.7^\circ\text{C}/\text{W}$ となる。これに対して、本実施形態に係るバイポーラトランジスタの熱抵抗は $380.9^\circ\text{C}/\text{W}$ である。

【0061】このように、本実施形態に係るバイポーラトランジスタによれば、従来のバイポーラトランジスタと比べて、熱抵抗を約 42.3% 低減することができる。

【0062】次いで、エミッタ接地インダクタンスに関して、本実施形態に係るバイポーラトランジスタと図 5 に示した従来のバイポーラトランジスタとを比較する。

【0063】図 5 に示した従来のバイポーラトランジスタにおけるエミッタ電極 54 の総面積が本実施形態におけるバイポーラトランジスタのエミッタ電極 11 の総面積が等しいとすると、エミッタ電極パッド 55 とそれに最も近い HBT 素子との間の距離は $15 \mu\text{m}$ 、エミッタ電極パッド 55 と各列の中央に位置する HBT 素子との間の距離は $135 \mu\text{m}$ 、エミッタ電極パッド 55 のグラウンド間の距離は $55 \mu\text{m}$ である。

【0064】これに対して、本実施形態に係るバイポーラトランジスタにおけるエミッタ配線距離は $55 \mu\text{m}$ であり、トランジスタ素子の位置による差はない。

【0065】インダクタンスは配線距離に比例することから、本実施形態に係るバイポーラトランジスタにおいては、図 5 に示した従来のバイポーラトランジスタと比較して、エミッタ接地インダクタンスが最大 70% 低減

する。

【0066】また、トランジスタ素子の位置による距離の差がないので、エミッタ接地インダクタンスが均等になるという効果をも奏する。

【0067】次いで、エミッタ配線抵抗に関して、本実施形態に係るバイポーラトランジスタと図5に示した従来のバイポーラトランジスタとを比較する。

【0068】図5に示した従来のバイポーラトランジスタにおけるエミッタ電極54の総面積が本実施形態におけるバイポーラトランジスタのエミッタ電極11の総面積が等しいとすると、エミッタ電極パッド55とそれに最も近いHBT素子との間のエミッタ配線抵抗は6.2 mΩ、エミッタ電極パッド55と各列の中央に位置するHBT素子との間のエミッタ配線抵抗は53.6 mΩ、エミッタ電極パッド55のグラウンド間のエミッタ配線抵抗は1.5 mΩである。

【0069】これに対して、本実施形態に係るバイポーラトランジスタにおけるエミッタ配線抵抗は1.5 mΩであり、トランジスタ素子の位置による差異はない。

【0070】このように、本実施形態に係るバイポーラトランジスタにおいては、図5に示した従来のバイポーラトランジスタと比較して、エミッタ配線抵抗が最大97%低減する。

【0071】図3及び図4に本発明の一実施形態に係る半導体装置を示す。図3はそのブロック図であり、図4はその等価回路である。本実施形態に係る半導体装置は上述の実施形態に係るバイポーラトランジスタを複数個用いて多段増幅回路を形成したものである。

【0072】本実施形態に係る半導体装置は、図3及び図4に示すように、単一の半導体基板上に形成されたN(Nは2以上の正の整数)個のバイポーラトランジスタ21、22と、第一段目のバイポーラトランジスタ21に接続されている入力整合バイアス回路23と、各バイポーラトランジスタ21、22の間に接続された段間整合バイアス回路24と、最終段のバイポーラトランジスタ22に接続されている出力整合バイアス回路25と、を備えている。

【0073】なお、図3及び図4においては、2個のバイポーラトランジスタ21、22のみ示してあり、説明の便宜上、バイポーラトランジスタ22を最終段のバイポーラトランジスタと仮定する。

【0074】本実施形態に係る半導体装置を構成する2個のバイポーラトランジスタ21、22は図1及び図2に示したバイポーラトランジスタと同一の構造を有するものである。ただし、第一段目のバイポーラトランジスタ21と最終段のバイポーラトランジスタ22とは、エミッタ電極の面積が相互に異なっている。同様に、3個以上のバイポーラトランジスタを用いて本実施形態に係る半導体装置を構成する場合にも、各バイポーラトランジスタのエミッタ面積は相互に異なるように設定す

る。

【0075】このように、図1及び図2に示したバイポーラトランジスタを多段に接続することにより、多段増幅器を構成することができる。

【0076】

【発明の効果】以上のように、本発明に係るバイポーラトランジスタ及び半導体装置によれば、エミッタ電極が円形に構成され、ベース電極及びコレクタ電極はその周囲に配置されているので、エミッタ電極への熱集中を抑制することができ、ひいては、放熱性を向上させることができる。

【0077】また、エミッタ電極とベース電極との間の距離及びエミッタ電極とコレクタ電極との間の距離はエミッタ電極の全ての直径方向において等しいため、接地インダクタンスの均等化を図ることができる。

【0078】また、バイアホールを介してエミッタ電極を接地させることにより、接地インダクタンスの低減及びエミッタ配線抵抗の低減を図ることができる。

【図面の簡単な説明】

【図1】図1は本発明の一実施形態に係るバイポーラトランジスタの上面図である。

【図2】図2は図1のA-A線における断面の斜視図である。

【図3】図3は本発明の一実施形態に係る半導体装置のブロック図である。

【図4】図4は図3に示した半導体装置の等価回路図である。

【図5】図5は従来のバイポーラトランジスタの上面図である。

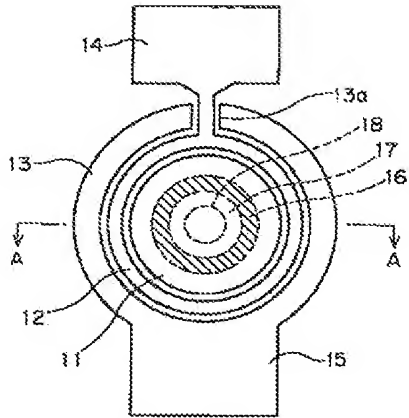
【符号の説明】

- 10 GaAs基板
- 11 エミッタ電極
- 12 ベース電極
- 13 コレクタ電極
- 14 ベース電極パッド
- 15 コレクタ電極パッド
- 16 絶縁領域
- 17 金属層
- 18 バイアホール
- 21 バイポーラトランジスタ
- 22 バイポーラトランジスタ
- 23 入力整合バイアス回路
- 24 段間整合バイアス回路
- 25 出力整合バイアス回路
- 50 ベース電極
- 51 ベース電極パッド
- 52 コレクタ電極
- 53 コレクタ電極パッド
- 54 エミッタ電極
- 55 エミッタ電極パッド

56 パイアホール

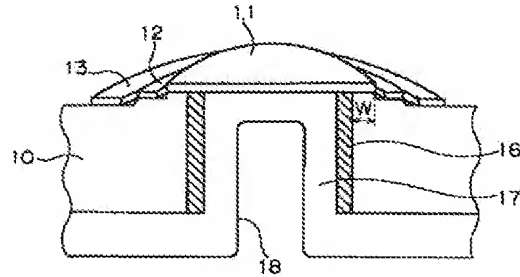
11

【図1】



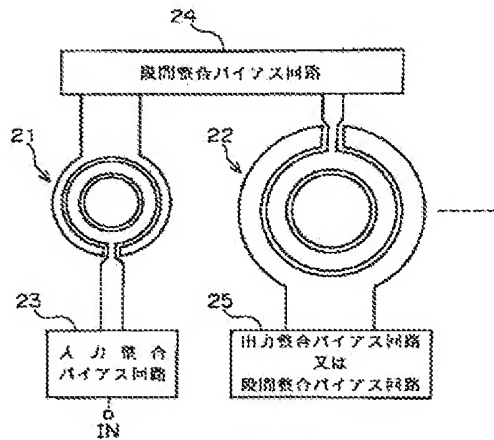
- 11: エミッタ電極
12: ベース電極
13: コレクタ電極
13a: 切り欠き
14: ベース電極パッド
15: コレクタ電極パッド
16: 絶縁領域
17: 金属層
18: パイアホール

【図2】



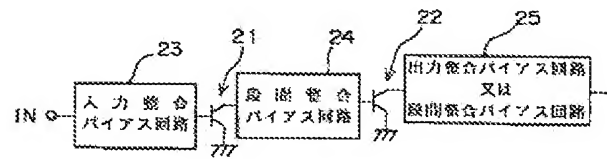
- 10: GaAs 基板
11: エミッタ電極
12: ベース電極
13: コレクタ電極
16: 絶縁領域
17: 金属層
18: パイアホール

【図3】



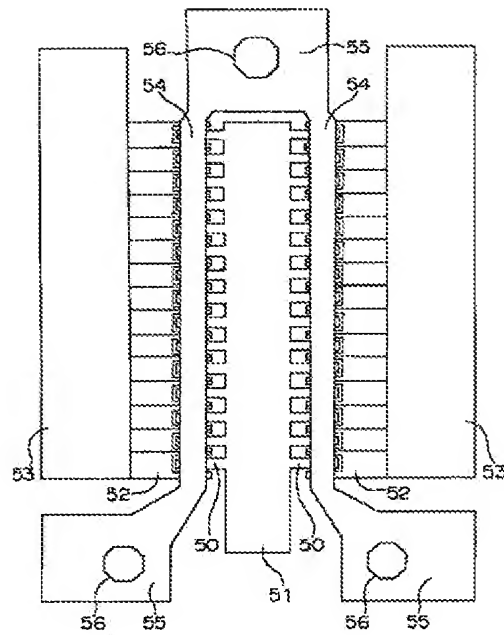
21、22: バイポーラトランジスタ

【図4】



21、22: バイポーラトランジスタ

【図5】



- | | |
|----------------|----------------|
| 50 : ベース電極 | 54 : エミッタ電極 |
| 51 : ベース電極パッド | 55 : エミッタ電極パッド |
| 52 : コレクタ電極 | 56 : バイアホール |
| 53 : コレクタ電極パッド | |